

通訊所專業必修/必選修課程綱要表

課程名稱：(中文) 數位訊號處理積體電路設計		開課學程	通訊所
(英文) Digital Signal Processing Integrated Circuits Design		課程代碼	COM5240
授課教師：黃元豪			
學分數	3	必/選修	選修
		開課年級	碩士班、博士班
先修科目或先備能力：積體電路設計、數位訊號處理			
課程概述與目標：本課程介紹數位訊號處理之實作演算法與 VLSI 模組，實作演算法包含了演算法到架構之理論上傳換，VLSI 模組將介紹各數位訊號處理單元在實作上的設計與考量。			
教科書 <sup>1</sup>	自行開發之講義投影片		
參考書目	1. K.K. Parhi, <i>VLSI Signal Processing Systems</i> , Wiley-Interscience, 1999 2. Fredric Harri, <i>Multi-Rate Signal Processing for Communication Systems</i> , Pearson Education Inc. 2004		
對應之學生核心能力		核心能力達成指標	比例
1.發掘、分析、解決問題與獨立研究之能力		A.具備發掘問題之能力 B.具備分析問題之能力 C.具備解決問題之能力 D.具備獨立研究之能力	25%
2.通訊科技整合與創新之能力		A.具備整合通訊知識之能力 B.具備創新通訊科技知識之能力	25%
3.學習新知識與技術之能力		A.具備主動學習新知識之能力 B.具備學習新技術之能力	20%
4.良好溝通、表達與外語能力		A.具備與通訊專業人員溝通與表達專業知識之能力 B.具備外語專業能力用以溝通通訊專業知識	20%
5.具團隊精神及遵守專業倫理		A.具備團隊合作之能力與精神 B.能遵守專業倫理	10%
課程綱要	內容綱要		核心能力達成指標
1.數位訊號處理架構介紹 Introduction to DSP architecture	1. Introduction of VLSI 2. Introduction of DSP 3. DSP architecture design for VLSI		1-□A□B□C□D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
2.管線化與平行運算 Pipeline and Parallel Processing	1. Pipeline design 2. Parallel design 3. Analysis of pipeline and parallel design for DSP		1-■A■B■C■D 2-■A■B 3-■A■B

		4-□A□B 5-□A□B
3.硬體最佳化 Optimization	1. Retiming 2. Folding 3. Unfolding	1-■A■B■C■D 2-■A■B 3-■A■B 4-□A□B 5-□A□B
4.Systolic 架構設計 Systolic Design	1. 1D systolic design 2. 2D systolic design	1-■A■B■C■D 2-■A■B 3-■A■B 4-□A□B 5-□A□B
5.位元階層數值運算架 構 Bit-Level Arithmetic Architecture	1. Adders 2. Multipliers 3. Dividers 4. CORDIC processor 5. Lab #1 Multiplier	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
6.濾波器架構 Filter Architecture	1. Design of FIR Filter 2. Design of IIR Filter	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
7. 多速率運算架構 Multi-rate processing Systems	1. Upsampling/Downsampling 2. Interpolator/Decimator 3. Multi-rate Equivalent DSP architecture 4. Polyphase Filter 5. Channel Selection filter	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
8.FFT/IFFT 處理器架構 FFT/IFFT Processor	1. FFT/IFFT algorithm 2. Memory-based FFT/IFFT architecture 3. Pipelined FFT/IFFT architecture 4. Lab #2 FFT Processor	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
9.矩陣運算架構 Matrix Processor	1. QR Decomposition 2. SVD Decompsition	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-□A□B
10.Viterbi 解碼器 Viterbi Decoder	1. Convolutional Codes 2. Viterbi decoding algorithm 3. Viterbi decoder processor	1-■A■B■C■D 2-■A■B 3-■A■B

		4-■A■B 5-□A□B
Final Project	1. Final Project (C++/Verilog)	1-□A□B□C□D 2-□A□B 3-□A□B 4-■A■B 5-■A■B
<p>教學要點概述<sup>2</sup>：</p> <p>1. 教材編選：本課程之教材為自行編撰，並以參考書輔助教學。</p> <p>2. 教學方法：上課講解、演算法實作(使用 C/C++程式)與硬體架構實作(使用 Verilog 程式)</p> <p>3. 評量方法：Homework (6 Paper Homework + 2 Verilog Labs)      60%</p> <p style="padding-left: 40px;">Final Project      20%</p> <p style="padding-left: 40px;">Final Exam      20%</p> <p>4. 教學資源：本計畫由教育部資網通人才培訓計畫補助多套 FPGA 實驗板給 Lab 使用</p>		

註：1. 教科書請註明書名、作者、出版社、出版年等資訊。

2. 教學要點概述請填寫教材編選、教學方法、評量方法、教學資源、教學相關配合事項等。

3. 研究所所有開設之課程皆須填寫此表格或提供原有格式之課程綱要表，並呈現於實地訪評現場。