

**通訊所專業必修/必選修課程綱要表**

課程名稱：(中文) 網路積體電路設計		開課學程	通訊所
(英文) Network Integrated Circuits Design		課程代碼	COM5332
授課教師：邱瀟德			
學分數	3	必/選修	選修
		開課年級	碩士班、博士班
先修科目或先備能力：VLSI Design			
課程概述與目標：ASIC 設計是 IC 設計產業的重要應用分支且現今市場對於此領域技術有大量的需求。此課程將介紹 ASIC 的演進歷史與各種型態的 ASIC，以及對於硬體設計方法與網路 IC 設計進行深入的探討。課程說明重點在於系統上的資料傳輸架構與電路層級設計。課程使用硬體設計語言為 VHDL 與 Verilog。比較各種不同的模擬，如：行為模擬，電路布局的先前模擬，穩定時序分析與正式的驗證。在課程企劃中包含邏輯合成，最佳化與分析。且將會研究介紹利用 ASIC 設計方法實作在網路 IC 的應用程式。			
教科書 <sup>1</sup>	自行開發之講義投影片		
參考書目	Modern VLSI Design (IP-based Design), Wayne Wolf, Prentice Hall, (2009).		
對應之學生核心能力		核心能力達成指標	比例
1. 發掘、分析、解決問題與獨立研究之能力		A. 具備發掘問題之能力 B. 具備分析問題之能力 C. 具備解決問題之能力 D. 具備獨立研究之能力	25%
2. 通訊科技整合與創新之能力		A. 具備整合通訊知識之能力 B. 具備創新通訊科技知識之能力	25%
3. 學習新知識與技術之能力		A. 具備主動學習新知識之能力 B. 具備學習新技術之能力	20%
4. 良好溝通、表達與外語能力		A. 具備與通訊專業人員溝通與表達專業知識之能力 B. 具備外語專業能力用以溝通通訊專業知識	15%
5. 具團隊精神及遵守專業倫理		A. 具備團隊合作之能力與精神 B. 能遵守專業倫理	15%
課程綱要	內容綱要		核心能力達成指標 (請勾選)
1. 積體電路介紹	CMOS 邏輯介紹 (CMOS Logic) 積體電路 Library Design		1- <input checked="" type="checkbox"/> A <input checked="" type="checkbox"/> B <input checked="" type="checkbox"/> C <input type="checkbox"/> D 2- <input type="checkbox"/> A <input type="checkbox"/> B 3- <input checked="" type="checkbox"/> A <input checked="" type="checkbox"/> B 4- <input type="checkbox"/> A <input type="checkbox"/> B 5- <input type="checkbox"/> A <input type="checkbox"/> B
1. 積體電路架構	系統需求		1- <input checked="" type="checkbox"/> A <input checked="" type="checkbox"/> B <input checked="" type="checkbox"/> C <input checked="" type="checkbox"/> D

	規格製定 設計流程	2-■A■B 3-■A■B 4-□A□B 5-□A□B
2. Verilog Language	Design Entity Declaration Data Types Concurrent statement Sequential Procedure State Machine	1-■A■B■C■D 2-□A□B 3-■A■B 4-□A□B 5-□A□B
3. 邏輯合成 Logic Synthesis	Setup environment DesignWare Design constraint Timing Analysis	1-■A■B■C■D 2-□A□B 3-■A■B 4-□A□B 5-□A□B
4. 模擬 Simulation/測試 Test	Module Integration Functional simulation Gate simulation DFT/fault coverage	1-■A■B■C■D 2-□A□B 3-■A■B 4-□A□B 5-□A□B
5. 交換機/路由器設計 Switch/Router Design	Switch architecture Switch design/implementation Router protocol Router architecture Router design/implemenation	1-□■A■B■C■D 2-□A□B 3-■A■B 4-□A□B 5-□A□B
6. SONET framer design	SONET framer SONET mapper SONET Traffic Management	1-■A■B■C■D 2-□A□B 3-■A■B 4-□A□B 5-□A□B
7. Group project	Design a SONET Transceiver	1-■A■B■C■D 2-■A■B 3-■A■B 4-■A■B 5-■A■B

教學要點概述<sup>2</sup>：

1. 教材編選：本課程之教材為自行編撰，並以參考書輔助教學。
2. 教學方法：上課講解、與硬體架構實作(使用 Verilog 程式 and Design Compiler for Synthesis)
3. 評量方法：Homework (3 HWs + 2 Verilog Labs+group project) 40%

Midterm Exam

30%

Final Exam.

30%

4. 教學資源：由國家晶片系統設計中心(CIC)提供 Verilog and Design Compiler for Synthesis

註：1. 教科書請註明書名、作者、出版社、出版年等資訊。

2. 教學要點概述請填寫教材編選、教學方法、評量方法、教學資源、教學相關配合事項等。

3. 研究所所有開設之課程皆須填寫此表格或提供原有格式之課程綱要表，並呈現於實地訪評現場。